

IN THE U.S. PATENT AND TRADEMARK OFFICE

JC584 U.S. PTO
09/452809
12/02/99

Applicant(s): YANG, Hae Chang

Application No.:

Group:

Filed: December 2, 1999

Examiner:

For: ESD PROTECTION CIRCUIT AND METHOD FOR FABRICATING THE SAME

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

December 2, 1999
0465-0636P-SP

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	9231/1999	03/18/99

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

TERRY L. CLARK
Reg. No. 32,644
P. O. Box 747
Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sas

Birt, Stewart et al
703-205-8000
Ane C / Ang
465-6367
1171

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제9231호
Application Number

출원년월일 : 1999년 3월 18일
Date of Application

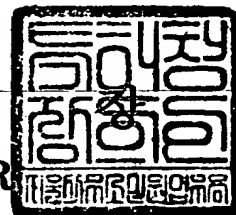
출원인 : 엘지반도체주식회사
Applicant(s)



1999년 4월 10일

특허청

COMMISSIONER



【서류명】 출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 11

【제출일자】 1999.03.18

【국제특허분류】 H01L

【발명의 국문명칭】 이에스디(ESD) 보호회로 및 그의 제조 방법

【발명의 영문명칭】 ELECTOR STATIC DISCHARGE PROTECTION CIRCUIT AND METHOD FOR MANUFACTURING THE SAME

【출원인】

【명칭】 엘지반도체 주식회사

【출원인코드】 1-1998-000280-3

【대리인】

【성명】 강용복

【대리인코드】 9-1998-000048-4

【포괄위임등록번호】 1999-001094-6

【대리인】

【성명】 김용인

【대리인코드】 9-1998-000022-1

【포괄위임등록번호】 1999-001093-9

【발명자】

【성명의 국문표기】 양해창

【성명의 영문표기】 YANG, Hae Chang

【주민등록번호】 680909-1550819

【우편번호】 361-480

【주소】 충청북도 청주시 흥덕구 향정동 50번지

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

강용복 (인)

대리인

김용인 (인)

【수수료】

【기본출원료】	14	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	5	항	269,000	원
---------	---	---	---------	---

【합계】			298,000	원
------	--	--	---------	---

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 패드와 메인 칩 사이의 입력 핀에 연결된 입력 단에만 저항 성분이 연결된 다수개의 트랜지스터로 구성하여 ESD의 특성을 향상시키기 위한 ESD 보호회로 및 그의 제조 방법에 관한 것이다.

본 발명의 ESD 보호회로 및 그의 제조 방법은 기판에 트랜지스터를 형성하고, 상기 트랜지스터를 포함한 기판 상에 상기 트랜지스터의 입력 단에 형성된 제 1 콘택홀을 갖는 제 1 절연 막을 형성하고, 상기 제 1 콘택홀을 포함한 제 1 절연 막 상에 상기 입력단과 전기적으로 연결되고 저항역할을 하는 버퍼드 레이어 층을 형성하고, 상기 버퍼드 레이어 층을 포함한 제 1 절연 막 상에 상기 버퍼드 레이어 층에 형성된 제 2 콘택홀을 갖는 제 2 절연 막을 형성하며, 상기 제 2 콘택홀을 포함한 제 2 절연 막 상에 상기 버퍼드 레이어 층과 전기적으로 연결된 패드를 형성함을 특징으로 한다.

【대표도】

도 4

【색인어】

정전기 보호회로

【명세서】

【발명의 명칭】

이에스디(ESD) 보호회로 및 그의 제조 방법{ELECTOR STATIC DISCHARGE PROTECTION CIRCUIT AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 ESD 보호회로의 구성도
도 2는 종래 제 1 예에 따른 ESD 보호회로를 나타낸 회로도
도 3은 종래 제 2 예에 따른 ESD 보호회로를 나타낸 회로도
도 4는 본 발명의 실시예에 따른 ESD 보호회로를 나타낸 회로도
도 5는 본 발명의 실시예에 따른 ESD 보호회로를 나타낸 구조 단면도
도 6a 내지 도 6c는 본 발명의 실시예에 따른 ESD 보호회로의 제조 방법을 나타낸 구조 단면도

도면의 주요부분에 대한 부호의 설명

1: 패드	3: 메인칩
41: 반도체 기판	42: NMOS 트랜지스터
43: 제 1 ILD층	44: 버퍼드 레이어 층
45: 제 2 ILD층	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 ESD 보호회로 및 그의 제조 방법에 관한 것으로, 특히 ESD 보호회로의 특성을 향상시키는 ESD 보호회로 및 그의 제조 방법에 관한 것이다.

도 1은 일반적인 ESD 보호회로의 구성도이다.

일반적으로 모오스(MOS) 트랜지스터에서 산화 막이 전될 수 있는 최대 전계의 크기는 6MV/cm 가 되고, 이를 50nm 정도의 두께를 갖는 구조로 환산하면 30V 정도가 된다.

이 정도 크기의 전압은 회로주변에서 발생하는 미세한 양의 정전기에 의하여 서로 매우 쉽게 형성될 수 있다.

사람의 몸이 움직이는 상태에서는 실 사이 없이 정전기가 발생하고 인체는 매우 큰 양의 전하를 나르는 캐리어의 역할을 한다.

따라서, 인체가 도체 가까이 가면 이 정전기가 방전하게 되어 짧은 시간동안에 큰 값의 전류를 내보내게 된다.

이와 같이, 트랜지스터를 파괴시킬 수 있는 전하의 양은 매우 작은 값이므로 도 1에서와 같이, ESD 보호회로(2)를 패드(Pad)(1)와 메인칩(3) 사이의 입력 핀에 구성하여 메인칩(3)의 내부로 가해지는 ESD를 적절한 경로로 방전시키므로 입력 단과 출력 단에 걸리는 전압을 일정 범위 내로 유지되도록 하고 정전파괴 현상이 일어나지 않도록 입력 및 출력 보호회로가 필요하게 되었다.

이하, 첨부된 도면을 참조하여 종래의 ESD 보호회로를 설명하면 다음과 같다.

도 2는 종래 제 1 에에 따른 ESD 보호회로를 나타낸 회로도이고, 도 3은 종

래 제 2 예에 따른 ESD 보호회로를 나타낸 회로도이다.

종래 제 1 예에 따른 ESD 보호회로는 도 2에서와 같이, 패드(1)와 메인칩(3) 사이의 입력 핀에 컬렉터가 연결되고 게이트와 에미터가 접지된 다수개의 제 1 트랜지스터(11)로 구성되어 상기 패드(1)로부터 입력되는 전압이 정상적인 경우에는 곧바로 상기 메인칩(3)으로 입력되지만 정전기 유입시에는 상기 제 1 트랜지스터(11)에서 바이패스(Bypass)시켜 상기 메인칩(3)을 정전기로부터 보호한다.

종래 제 2 예에 따른 ESD 보호회로는 도 3에서와 같이, 패드(1)와 메인칩(3) 사이의 입력 핀에 제 1 저항(21)을 통하여 컬렉터가 연결되고 게이트가 접지되며 에미터는 제 2 저항(22)을 통하여 접지된 다수개의 제 2 트랜지스터(12)로 구성되어 상기 패드(1)로부터 입력되는 전압이 정상적인 경우에는 곧바로 상기 메인칩(3)으로 입력되지만 정전기 유입 시에는 상기 제 2 트랜지스터(12)에서 바이패스시켜 상기 메인칩(3)을 정전기로부터 보호한다.

【발명이 이루고자 하는 기술적 과제】

그러나 종래의 ESD 보호회로 및 그의 제조 방법은 다음과 같은 문제점이 있었다.

첫째, 패드와 메인칩 사이의 입력 핀에 컬렉터가 연결되고 게이트와 에미터가 접지된 즉 에미터/컬렉터에 저항 성분이 연결되지 않는 다수개의 제 1 트랜지스터로 구성될 경우는 여러개 혹은 단일로 구성되어 있는 BJT 또는 내부에서 ESD가 인가될 때 특정 포인트(Point)로 전하의 순간적인 집중에 의해 특정 포인트가 파괴

되는 현상이 발생하고, 또한 이를 방지하기 위해 ESD 보호회로가 요하는 면적이 증가한다.

둘째, 특정 포인트가 파괴되는 현상이 발생되지 않도록 패드와 메인칩 사이의 입력 핀에 제 1 저항을 통하여 컬렉터가 연결되고 게이트가 접지되며 에미터는 제 2 저항을 통하여 접지된 즉 에미터/컬렉터에 저항 성분이 모두 연결된 다수개의 제 2 트랜지스터로 구성될 경우는 에미터/컬렉터에 연결된 2개의 저항 성분에 의해 BJT 이득이 감소하여 ESD 전하 방전 능력이 떨어진다.

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 패드와 메인칩 사이의 입력 핀에 연결된 입력 단에만 저항 성분이 연결된 다수개의 트랜지스터로 구성하여 ESD의 특성을 향상시키는 ESD 보호회로 및 그의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

본 발명의 ESD 보호회로는 기판, 상기 기판에 형성된 트랜지스터, 상기 트랜지스터를 포함한 기판상에 상기 트랜지스터의 입력단에 형성된 제 1 콘택홀을 갖으며 형성된 제 1 절연 막, 상기 제 1 콘택홀을 포함한 제 1 절연 막 상에 형성되어 상기 입력단과 전기적으로 연결되고 저항역할을 하는 버퍼드 레이어 층, 상기 버퍼드 레이어 층을 포함한 제 1 절연 막 상에 상기 버퍼드 레이어 층에 형성된 제 2 콘택홀을 갖으며 형성된 제 2 절연 막과, 상기 제 2 콘택홀을 포함한 제 2 절연 막 상에 형성되어 상기 버퍼드 레이어 층과 전기적으로 연결된 패드를 포함하여 구성됨을 특징으로 한다.

그리고, 본 발명의 ESD 보호회로의 제조 방법은 기판에 트랜지스터를 형성하는 단계, 상기 트랜지스터를 포함한 기판상에 상기 트랜지스터의 입력단에 형성된 제 1 콘택홀을 갖는 제 1 절연막을 형성하는 단계, 상기 제 1 콘택홀과 제 1 콘택홀에 인접한 제 1 절연 막 상에 버퍼드 레이어 층을 형성하는 단계, 상기 버퍼드 레이어를 포함한 제 1 절연 막 상에 상기 버퍼드 레이어 층에 형성된 제 2 콘택홀을 갖는 제 2 절연 막을 형성하는 단계와, 상기 제 2 콘택홀과 제 2 콘택홀에 인접한 제 2 절연 막 상에 패드를 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기와 같은 본 발명에 따른 ESD 보호회로 및 그의 제조 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 4는 본 발명의 실시예에 따른 ESD 보호회로를 나타낸 회로도이고, 도 5는 본 발명의 실시예에 따른 ESD 보호회로를 나타낸 구조 단면도이며, 도 6a 내지 도 6c는 본 발명의 실시예에 따른 ESD 보호회로의 제조 방법을 나타낸 구조 단면도이다.

본 발명의 실시 예에 따른 ESD 보호회로는 도 4에서와 같이, 패드(1)와 메인칩(3) 사이의 입력 핀에 저항(32)을 통하여 컬렉터가 연결되고 게이트와 에미터가 접지된 다수개의 트랜지스터(31)로 구성되어 상기 패드(1)로 부터 입력되는 전압이 정상적인 경우에는 곧바로 상기 메인칩(3)으로 입력되지만 정전기 유입 시에는 상기 트랜지스터(31)에서 바이패스시켜 상기 메인칩(3)을 정전기로부터 보호한다.

본 발명의 실시 예에 따른 ESD 보호회로를 NMOS 트랜지스터의 제조 방법을

이용하여 다음과 같이 구체적으로 구현한다.

본 발명의 실시 예에 따른 ESD 보호회로는 도 5에서와 같이, 반도체 기판(41)에 형성된 NMOS 트랜지스터(42), 상기 NMOS 트랜지스터(42)를 포함한 반도체 기판(41)상에 상기 NMOS 트랜지스터(42)의 드레인에 형성된 제 1 콘택홀을 갖고 형성된 제 1 ILD층(43), 상기 제 1 콘택홀을 포함한 제 1 ILD층(43)상에 형성되어 상기 드레인과 전기적으로 연결되고 저항역할을 하는 버퍼드 레이어 층(44), 상기 버퍼드 레이어 층(44)을 포함한 제 1 ILD층(43)상에 상기 버퍼드 레이어 층(44)에 형성된 제 2 콘택홀을 갖고 형성된 제 2 ILD층(45), 상기 제 2 콘택홀을 포함한 제 2 ILD층(45)상에 형성되어 상기 버퍼드 레이어 층(44)과 전기적으로 연결된 패드(1)로 구성되어, 발생된 ESD 전류가 상기 패드(1), 버퍼드 레이어 층(44), 상기 NMOS 트랜지스터(42)의 드레인, 반도체 기판(41)과, 상기 NMOS 트랜지스터(42)의 소오스 순으로 거쳐 방전된다.

그리고, 본 발명의 실시 예에 따른 ESD 보호회로의 제조 방법은 도 6a에서와 같이, 반도체 기판(41)에 NMOS 트랜지스터(42)를 형성한다.

도 6b에서와 같이, 상기 NMOS 트랜지스터(42)를 포함한 반도체 기판(41)상에 제 1 ILD(Inter Layer Dielectric)층(43)과 제 1 감광막을 형성한 다음, 상기 제 1 감광막을 상기 NMOS 트랜지스터(42)의 드레인에 제 1 콘택홀이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한다.

그리고, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 ILD층(43)을 선택적으로 식각하여 제 1 콘택홀을 형성한 후, 상기 제 1 감광막을

제거한다.

이어, 상기 제 1 콘택홀을 포함한 제 1 ILD층(43)상에 다결정 실리콘과 제 2 감광막을 형성하고, 상기 제 2 감광막을 버퍼드 레이어(Buffered Layer)가 형성될 부위에만 남도록 선택적으로 노광 및 현상한다.

이때, 상기 다결정 실리콘 대신에 실리사이드(Silicide)로 형성할 수 있다.

그리고, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 다결정 실리콘을 선택적으로 식각하여 버퍼드 레이어 층(44)를 형성한 후, 상기 제 2 감광막을 제거한다.

도 6c에서와 같이, 상기 버퍼드 레이어(44)를 포함한 제 1 ILD층(43)상에 제 2 ILD층(45)과 제 3 감광막을 형성한 후, 상기 제 3 감광막을 상기 버퍼드 레이어(44)에 제 2 콘택홀이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한다.

그리고, 상기 선택적으로 노광 및 현상된 제 3 감광막을 마스크로 상기 제 2 ILD층(45)을 선택적으로 식각하여 제 2 콘택홀을 형성한 다음, 상기 제 3 감광막을 제거한다.

이어, 상기 제 2 콘택홀을 포함한 제 2 ILD층(45)상에 패드(1)를 형성한다.

【발명의 효과】

본 발명의 ESD 보호회로 및 그의 제조 방법은 패드와 메인칩 사이의 입력 핀에 연결된 입력 단에만 저항을 통하여 컬렉터가 연결되고 게이트와 에미터가 접지된 다수개의 트랜지스터로 구성하므로, 입력 커패시터가 작아야 하는 고속도 디바

이스에 유용하고 또한 입력 단의 저항에 의해 2차 BV(Breakdown Voltage)가 상승되고 ESD 전하를 특정 포인트에 집중되지 않도록 분산시키기 때문에 특정 포인트 파괴 현상의 발생을 방지하며 에미터/컬렉터에 저항 성분이 모두 연결된 다수개의 트랜지스터로 구성된 종래 기술보다 BJT 이득이 증가하여 ESD 전하 방전 능력이 향상된다는 효과가 있다.

【특허청구범위】

【청구항 1】

패드와 메인칩;

상기 패드와 메인칩 사이에 연결되며 입력 단에만 저항이 연결된 다수개의 트랜지스터를 포함하여 구성됨을 특징으로 하는 ESD 보호회로.

【청구항 2】

기판;

상기 기판에 형성된 트랜지스터;

상기 트랜지스터를 포함한 기판상에 상기 트랜지스터의 입력단에 형성된 제 1 콘택홀을 갖고며 형성된 제 1 절연 막;

상기 제 1 콘택홀을 포함한 제 1 절연 막 상에 형성되어 상기 입력단과 전기적으로 연결되고 저항역할을 하는 버퍼드 레이어 층;

상기 버퍼드 레이어 층을 포함한 제 1 절연 막 상에 상기 버퍼드 레이어 층에 형성된 제 2 콘택홀을 갖고며 형성된 제 2 절연 막;

상기 제 2 콘택홀을 포함한 제 2 절연 막 상에 형성되어 상기 버퍼드 레이어 층과 전기적으로 연결된 패드를 포함하여 구성됨을 특징으로 하는 ESD 보호회로.

【청구항 3】

기판에 트랜지스터를 형성하는 단계;

상기 트랜지스터를 포함한 기판상에 상기 트랜지스터의 입력단에 형성된 제 1 콘택홀을 갖는 제 1 절연막을 형성하는 단계;

상기 제 1 콘택홀과 제 1 콘택홀에 인접한 제 1 절연 막 상에 버퍼드 레이어 층을 형성하는 단계;

상기 버퍼드 레이어를 포함한 제 1 절연 막 상에 상기 버퍼드 레이어 층에 형성된 제 2 콘택홀을 갖는 제 2 절연 막을 형성하는 단계;

상기 제 2 콘택홀과 제 2 콘택홀에 인접한 제 2 절연 막 상에 패드를 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 ESD 보호회로의 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 버퍼드 레이어 층을 다결정 실리콘으로 형성함을 특징으로 하는 ESD 보호회로의 제조 방법.

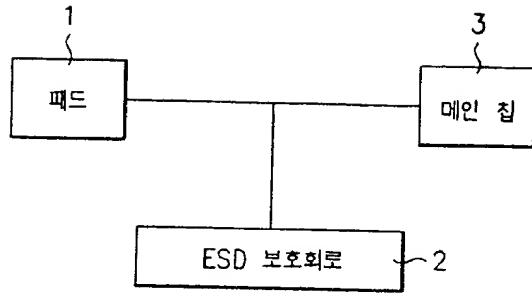
【청구항 5】

제 3 항에 있어서,

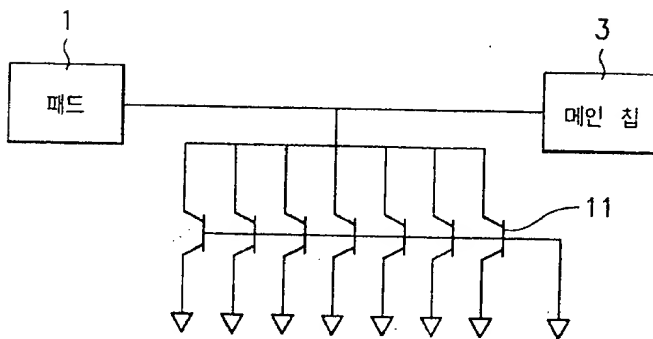
상기 버퍼드 레이어 층을 실리콘사이드로 형성함을 특징으로 하는 ESD 보호회로의 제조 방법.

【도면】

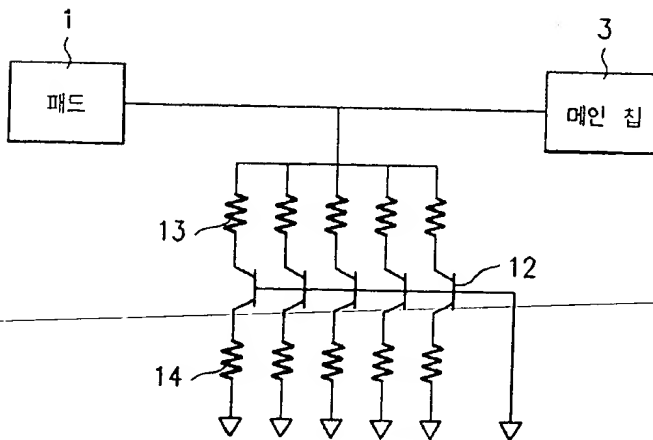
【도 1】



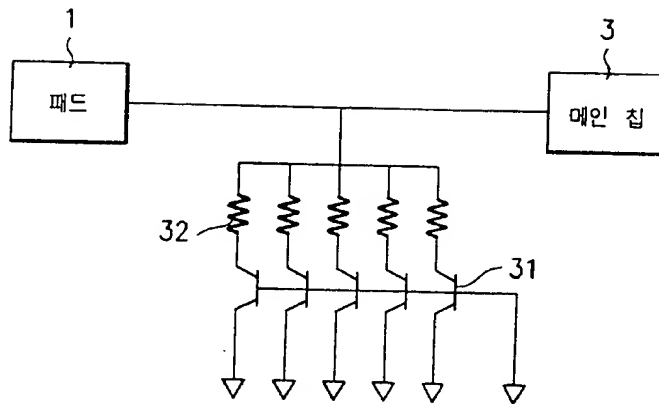
【도 2】



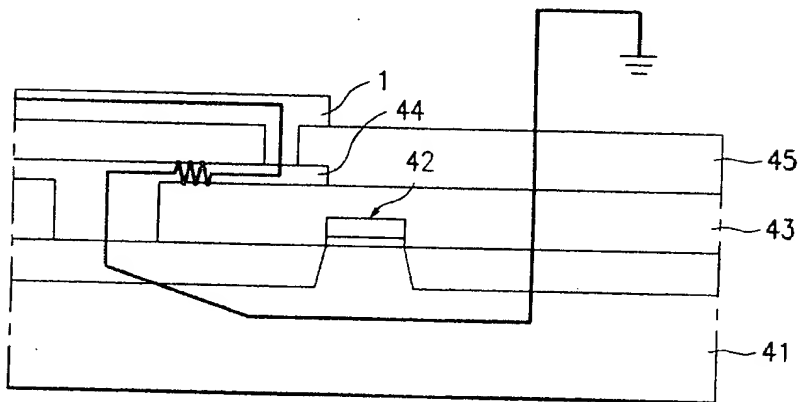
【도 3】



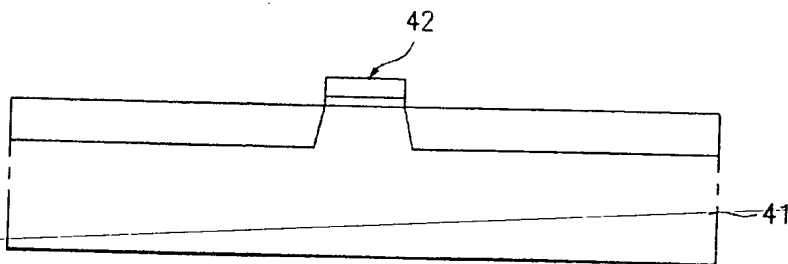
【도 4】



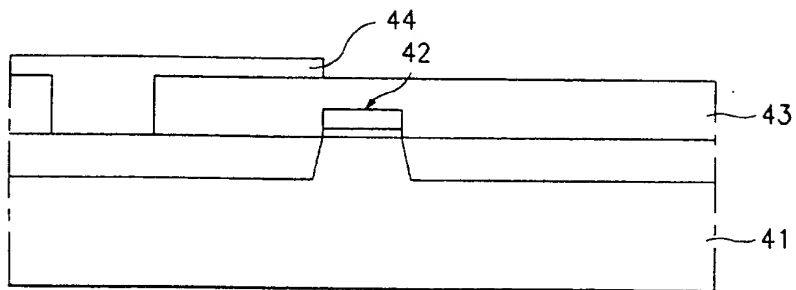
【도 5】



【도 6a】



【도 6b】



【도 6c】

